

【加算回路】

<半加算回路>

二つの2進1桁の値A, Bを加え, 和Soと上位への桁上げ信号Coとを出力する回路を半加算回路という. 半加算回路の真理値表を表1に示し, 実際の回路構成を考えていく.

表1: 半加算回路の真理値表

入力		出力	
A	B	和 So	桁上げ Co
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

表1より出力So, Coの論理式を考えると, 以下のようになる.

$$\left. \begin{aligned} S_o &= A \oplus B \\ C_o &= AB \end{aligned} \right\} \text{ - (1)式}$$

(1)式で示されるように和Soは被加数Aと加数Bとの排他的論理和であり, 桁上げCoはAとBの論理積である. これらの論理回路図を図1に示す.

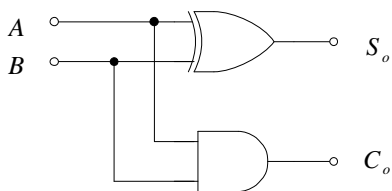


図1: 半加算回路

<全加算回路>

被加数Aと加数B及び下位からの桁上げC_{n-1}の3入力を受けて, 和S_nと上位への桁上がりC_nを出力する回路を全加算回路という. 全加算回路の真理値表を表2に示し, 実際の回路構成を考えていく.

表2: 全加算回路の真理値表

入力			出力	
A	B	C _{n-1}	和 S _n	桁上がり C _n
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

AB	C _{n-1}	
	0	1
00	0	1
01	1	0
11	0	1
10	1	0

(a) S_n

AB	C _{n-1}	
	0	1
00	0	0
01	0	1
11	1	1
10	0	1

(b) C_n

図2: 全加算回路のカルノー図

表 2 よりカルノー図を描くと図 2 のようになる . カルノー図より求める論理関数は以下のようになる .

$$\left. \begin{aligned} S_o &= A \oplus B \oplus C_{n-1} \\ C_o &= AB + (A \oplus B)C_{n-1} \end{aligned} \right\} - (2) \text{式}$$

以上より論理回路図は図 3 のようになる .

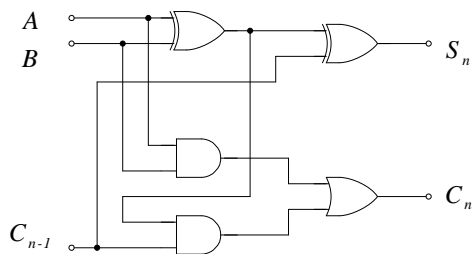


図 3: 全加算回路の論理回路図

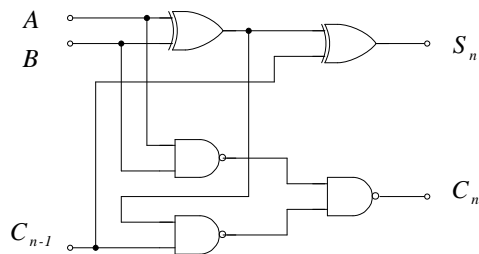


図 4: 全加算回路 (NAND 表示)

AND 回路 , OR 回路があるため NAND 回路で表現すると , 図 4 のようになる .